

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-249973

(43)公開日 平成7年(1995)9月26日

(51) Int.Cl.⁶
H 03K 19/003

識別記号 庁内整理番号
B
E

F I

技術表示箇所

審査請求 未請求 請求項の数2 OL (全 6 頁)

(21)出願番号 特願平6-42575

(22)出願日 平成6年(1994)3月14日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 中村 顯

東京都日野市旭が丘3丁目1番地の1 株
式会社東芝日野工場内

(72) 発明者 田中 正之

東京都日野市旭が丘3-1
式会社東京日野工場内

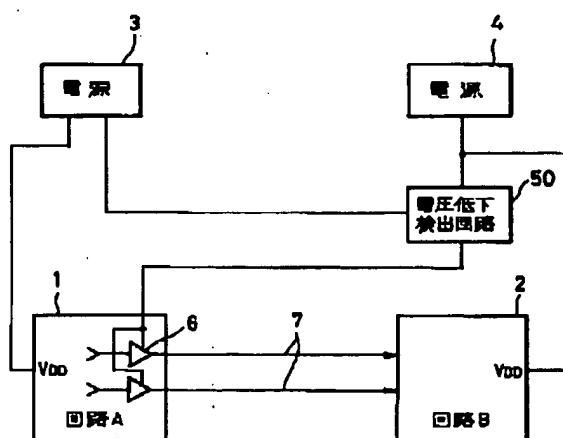
(34)代理人 美理士 村 村 亮久

(54) 【発明の名称】 電子機器

〔57〕【要約】

【目的】信号受信側の回路の電源がオフした場合に、信号受信側の回路内のラッチアップを確実に防止するとともに、安定した制御を行うことのできる電子機器を提供する。

【構成】信号受信側の回路（2）の電源（4）のOFFを電圧低下検出回路（5）が検出すると、この電圧低下検出回路（5）の検出出力に基づき信号送信側の回路（1）の出力を3ステートパファ（6）を用いてハインピーダンスにする。



【特許請求の範囲】

【請求項1】 各々別系統の電源から電源電圧が供給される少なくとも2つの回路を具備し、該回路間で信号の送受を行う電子機器において、

前記回路内の信号送信側の回路に加えられる電源がオンでかつ前記回路内の信号受信側の回路に加えられる電源がオフになった場合に検出出力を発生する低電圧検出手手段を設け、

前記信号送信側の回路に、前記低電圧検出手手段の検出出力に基づき前記信号送信側の回路の送信出力をハイインピーダンスにする制御手段を設けたことを特徴とする電子機器。

【請求項2】 前記制御手段は、

前記信号送信側の回路の出力に設けられ、前記低電圧検出手手段の検出出力に基づき前記信号送信側の回路の送信出力をハイインピーダンスにする3ステートバッファを具備することを特徴とする請求項1記載の電子機器。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、各々別系統の電源から電源電圧が供給される少なくとも2つの回路を具備し、該回路間で信号の送受を行う電子機器に関し、特に信号受信側の回路の電源がOFFした場合における信号受信側の回路のラッチアップを防止するように改良した電子機器に関する。

【0002】

【従来の技術】 各々独立した別系統の電源から電力が供給される複数の回路を具備し、各回路間で信号の送受を行いうように構成された電子機器としては種々のものが知られている。

【0003】 図5は、このような電子機器の従来例を示したもので、図5においては、送信側の回路1(回路A)と受信側の回路2(回路B)を具備し、送信側の回路1は電源3から電源電圧が供給されて駆動され、受信側の回路2は電源4から電源電圧が供給されて駆動され、送信側の回路1から受信側の回路2へ信号線7を介して信号を送信するように構成されている。

【0004】 ところで、図5に示す従来装置においては、受信側の回路2の電源4がOFFになっても、送信側の回路1の電源3がOFFにならない限りは、送信側の回路1から受信側の回路2に信号線7を介して信号が送信される。この結果、受信側の回路2内にある集積回路(IC)は電源4から電源電圧が加えられていないにもかかわらず送信側の回路1から送信される信号によってラッチアップし、この結果破損してしまうことがあった。

【0005】 この問題を解決するため、従来、次のような2つの方法が取られてきた。

【0006】 その一つは、図6に示すように、回路1と回路2とを結ぶ信号線7に抵抗13を挿入する方法であ

る。この方法によると、回路2の電源4のみがOFFになった場合、回路1から回路2に出力される信号の電圧は、抵抗13と回路2の入力ポートの内部インピーダンスとで分圧され、その結果、回路2内のICの入力ポートにかかる電圧は低くなり、また、回路1から回路2に流れる電流も少なくなるので、回路2内のICがラッチアップするのを防ぐことができる。

【0007】 しかし、この場合、回路2内のICの入力ポートは不安定な状態になり、この方法によっては安定した制御ができないという問題がある。

【0008】 もう一つの方法は、図7に示すように、受信側の回路2の電源4に、該電源4の出力電圧を監視することにより該電源のOFFを検出する電圧低下検出回路5を設けるとともに、送信側の回路1に、該電圧低下検出回路5の検出出力に基づき送信側の回路1から出力される信号を強制的にOFFに制御する中央演算処理装置(CPU)12を設ける方法である。

【0009】 しかしこの方法の場合は、受信側の回路2の電源4がOFFになってからCPU12によるソフトウェア処理により送信側の回路1から出力される信号をOFFにするまでに時間がかかり、これにより受信側の回路2内のICがラッチアップする心配が未だ残されている。

【0010】

【発明が解決しようとする課題】 上述のように、従来のこの種の装置においては、受信側の回路の電源のみがOFFになった場合は、送信側の回路から受信側の回路に送信される信号の電圧により受信側の回路内のICがラッチアップし、破損する虞があった。

【0011】 また、これを防止するために、

1) 送信側の回路と受信側の回路とを結ぶ信号線に抵抗を挿入する方法

2) 受信側の回路に受信側の回路の電源のOFFを検出手手段を設けるとともに、送信側の回路に該検出手手段の検出出力に基づきソフトウェア処理により送信側の回路の出力を強制的にOFFにするCPUを設ける方法

等が考えられているが、1)の方法によると、回路2内のICがラッチアップするのを防ぐことはできても、回路2内のICの入力ポートが不安定な状態になるという問題があり、2)の方法によると、ソフトウェア処理により送信側の回路から出力される信号をOFFにするまでに時間がかかり、これにより受信側の回路内のICがラッチアップしてしまうことがあるという問題があった。

【0012】 そこで本発明は、信号受信側の回路の電源がオフした場合に、信号受信側の回路内のラッチアップを確実に防止するとともに、安定した制御を行うことのできる電子機器を提供することを目的とする。

【0013】

【課題を解決するための手段】 上記目的を達成するた

め、本願発明は、各々別系統の電源から電源電圧が供給される少なくとも2つの回路を具備し、該回路間で信号の送受を行う電子機器において、前記回路の内の信号送信側の回路に加えられる電源がオンでかつ前記回路の内の信号受信側の回路に加えられる電源がオフになった場合に検出出力を発生する低電圧検出手段を設け、前記信号送信側の回路に、前記低電圧検出手段の検出出力に基づき前記信号送信側の回路の送信出力をハイインピーダンスにする制御手段を設けたことを特徴とする。

【0014】

【作用】本発明によると、信号送信側の回路に加えられる電源がオンでかつ信号受信側の回路に加えられる電源がオフになったことを低電圧検出手段により検出し、該検出出力に基づき制御手段により信号送信側の回路の送信出力をハイインピーダンスに制御し、信号送信側の回路から信号受信側の回路に信号が流れないようにして信号受信側の回路の保護を図る。

【0015】ここで、前記制御手段は、前記信号送信側の回路の出力に設けられ、前記低電圧検出手段の検出出力に基づき前記信号送信側の回路の送信出力をハイインピーダンスにする3ステートバッファを具備して構成することができる。

【0016】

【実施例】以下、本発明にかかる電子機器の一実施例を添付図面を参照して詳細に説明する。

【0017】図1は、本発明にかかる電子機器の一実施例をブロック図で示したものである。なお、図1において、図5に示した従来装置と同一の機能を果たす部分には説明の便宜上は図5で用いた符号と同一の符号を付する。

【0018】図1に示す実施例においては、送信側の回路1(回路A)と受信側の回路2(回路B)を具備し、送信側の回路1は電源3から電源電圧が供給されて駆動され、受信側の回路2は電源4から電源電圧が供給されて駆動され、送信側の回路1から受信側の回路2へ信号線7を介して信号を送信するように構成されている。また、電源4には電圧低下検出回路50が接続され、この電圧低下検出回路50は、電源4から出力される電源電圧が所定の電圧以下、すなわち電源4がOFFになった場合を検出し、この場合に検出出力を発生する。

【0019】ここで、電圧低下検出回路50は、送信側の回路1側または受信側の回路2側のいずれに設けても良いが、この電圧低下検出回路50の電源は送信側の回路1の電源3から取るようにする。

【0020】結局、電圧低下検出回路50は、電源3がONでかつ電源4から出力される電源電圧は所定の電圧以下、すなわち電源4がOFFになった場合を検出し、この場合に検出出力を発生する。

【0021】更に、送信側の回路1内には、電圧低下検出回路50から出力される検出出力に基づき送信側の回

路1の信号出力をハイインピーダンスに制御する3ステートバッファ6が設けられる。

【0022】このような構成によると、送信側の回路1に電源電圧を供給する電源3がON、受信側の回路2に電源電圧を供給する電源4がOFFという状態になると、3ステートバッファ6の出力側はハイインピーダンスとなり、これにより、信号線7を介して送信側の回路1から受信側の回路2に流れる電流はなくなり、受信側の回路2内のICのラッチアップが確実に防止される。

【0023】図2は、本発明の他の実施例を示したものである。図2に示す実施例においては、信号が信号線7を介して回路1から回路2へ送信されるだけでなく、信号線10を介して回路2から回路1にも送られる電子機器に本発明を適用したものである。

【0024】この図2に示す実施例においては、図1に示した構成に加えて、電源3から出力される電源電圧が所定の電圧以下、すなわち電源3がOFFになった場合を検出する電圧低下検出回路8を更に設け、また、回路2内には、電圧低下検出回路8から出力される検出出力に基づき回路2の信号出力をハイインピーダンスに制御する3ステートバッファ9が設けられる。

【0025】この場合、電圧低下検出回路8の電源は送信側の回路2の電源4から取るようにする。

【0026】このような構成において、電圧低下検出回路50は、電源3がONでかつ電源4から出力される電源電圧は所定の電圧以下、すなわち電源4がOFFになった場合を検出し、この場合に検出出力を発生する。

【0027】また、電圧低下検出回路8は、電源4がONでかつ電源3から出力される電源電圧は所定の電圧以下、すなわち電源3がOFFになった場合を検出し、この場合に検出出力を発生する。

【0028】そして、電圧低下検出回路50から検出出力が発生された場合、すなわち回路1に電源電圧を供給する電源3がON、回路2に電源電圧を供給する電源4がOFFという状態になると、3ステートバッファ6の出力側はハイインピーダンスとなり、これにより、信号線7を介して回路1から回路2に流れる電流はなくなり、回路2内のICのラッチアップが確実に防止される。

【0029】また、電圧低下検出回路8から検出出力が発生された場合、すなわち回路2に電源電圧を供給する電源4がON、回路1に電源電圧を供給する電源3がOFFという状態になると、3ステートバッファ9の出力側はハイインピーダンスとなり、これにより、信号線10を介して回路2から回路1に流れる電流はなくなり、回路1内のICのラッチアップが確実に防止される。

【0030】図3は本発明の更に他の実施例を示したものである。この実施例においても図2に示した実施例と同様に信号が信号線7を介して回路1から回路2へ送信されるだけでなく、信号線10を介して回路2から回路

1にも送られる。

【0031】この図3に示す実施例においては、回路1に電源電圧を供給する電源3および回路2に電源電圧を供給する電源4に対して共通に電圧低下検出回路11を設ける。この場合、電圧低下検出回路11は電源3または電源4のいずれからでも電源電圧を取れるようにし、電源3または電源4のいずれから出力される電源電圧が所定の電圧以下に低下すると、検出出力を発生する。この電圧低下検出回路11から出力された検出出力は回路1の3ステートバッファ6および回路2の3ステートバッファ9に同時に加えられ、3ステートバッファ6および3ステートバッファ9の出力側を同時にハイインピーダンスにする。

【0032】このような構成によると、図2に示した実施例と比較して大幅に回路の簡略化が図れる。

【0033】図4は、図3に示した電圧低下検出回路1の具体的な回路例を示したものである。この図4に示す回路は、2個のダイオード20、21とANDゲート回路22とを具備して構成される。この図4に示す回路においては、電源3および電源4から出力される電源電圧をそれぞれダイオード20、21を介してANDゲート回路22の電源として加え、更にANDゲート回路22の・入力に電源3および電源4の出力電圧を直接加える。ここで、電源3および電源4から出力される電源電圧のいずれかが所定の電圧以下に低下すると、ANDゲート回路22の出力はローレベルになり、この場合、このANDゲート回路22の出力により3ステートバッファ6および3ステートバッファ9の出力側を同時にハイインピーダンスになるように制御する。

【0034】

【発明の効果】以上説明したように本発明によれば、信号送信側の回路に加えられる電源がオンでかつ信号受信

側の回路に加えられる電源がオフになったことを低電圧検出手段により検出し、該検出手段に基づき制御手段により信号送信側の回路の送信出力をハイインピーダンスに制御するように構成したので、信号受信側の回路の電源がオフした場合でも、信号受信側の回路内のラッチアップを確実に防止するとともに、安定した制御を行うことが可能になる。

【図面の簡単な説明】

【図1】本発明にかかる電子機器の一実施例を示すブロック図。

【図2】本発明にかかる電子機器の他の実施例を示すブロック図。

【図3】本発明にかかる電子機器の更に他の実施例を示すブロック図。

【図4】図3に示した電圧低下検出回路の一例を示す回路図。

【図5】従来例を示すブロック図。

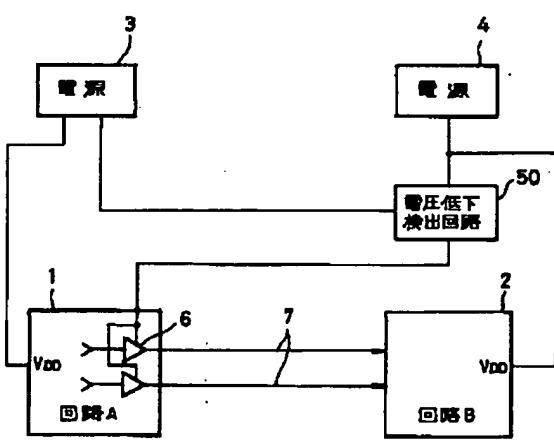
【図6】他の従来例を示すブロック図。

【図7】更に他の従来例を示すブロック図。

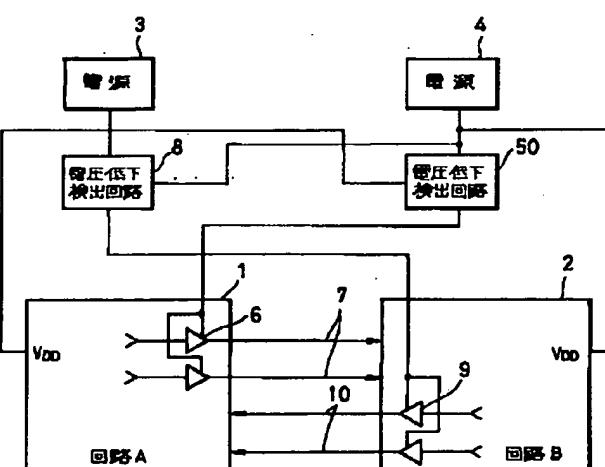
【符号の説明】

1	回路（回路A）
2	回路（回路B）
3	電源
4	電源
5、8、11、50	電圧低下検出回路
6、9	3ステートバッファ
7、10	信号線
12	中央演算処理装置（CPU）
13	抵抗
20、21	ダイオード
22	ANDゲート回路

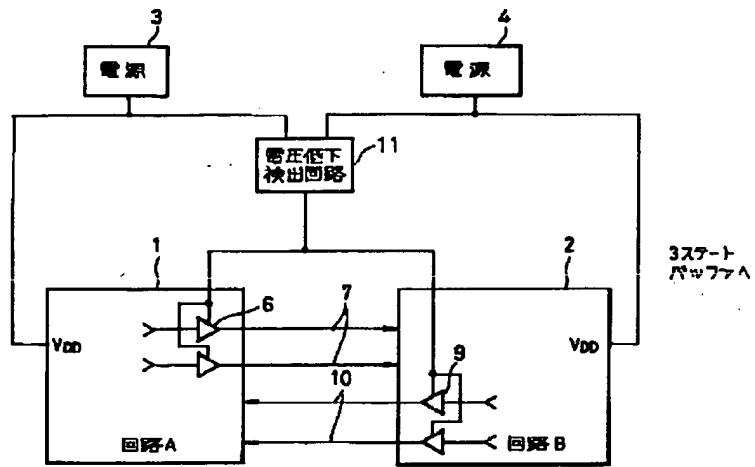
【図1】



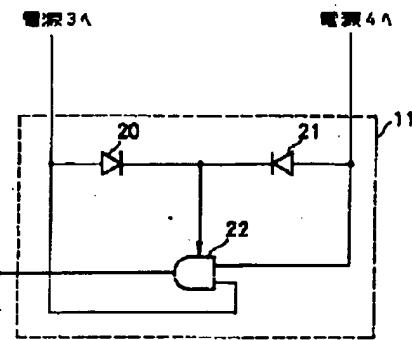
【図2】



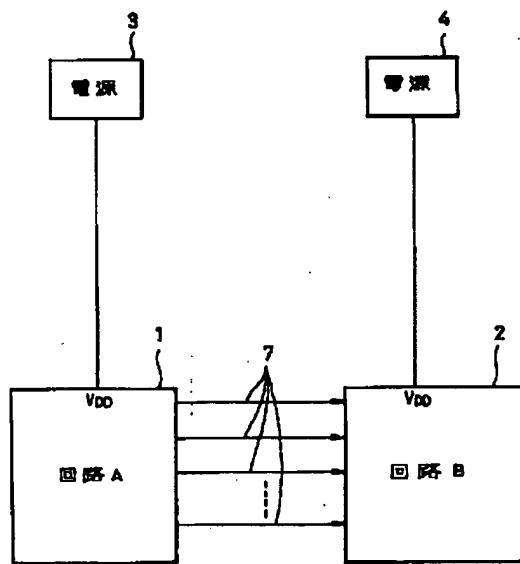
【図3】



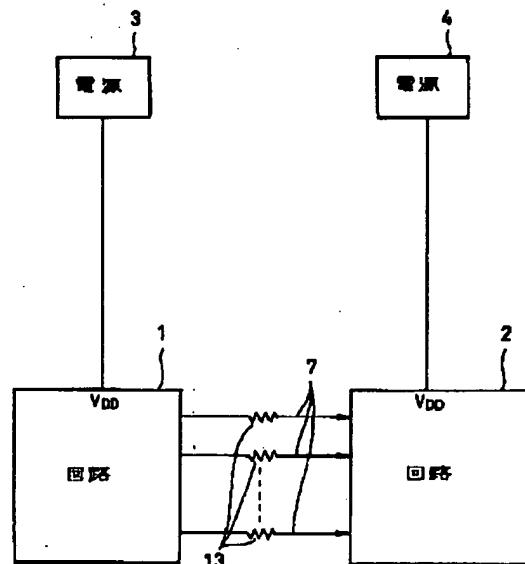
【図4】



【図5】



【図6】



【図7】

